

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-13597

(43)公開日 平成 6 年(1994) 1 月21 日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/146				
H 0 4 N 1/028	A	9070-5C		
5/335	Z			
		7210-4M	H 0 1 L 27/ 14	A

審査請求 未請求 請求項の数 3 (全 12 頁)

(21)出願番号 特願平4-193323

(22)出願日 平成 4 年(1992) 6 月26 日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込 1 丁目 3 番 6 号

(71)出願人 000115706

リコー応用電子研究所株式会社

宮城県名取市高館熊野堂字余方上 5 番地の
10

(72)発明者 南條 健

宮城県名取市高館熊野堂字余方上 5 番地の
10 リコー応用電子研究所株式会社内

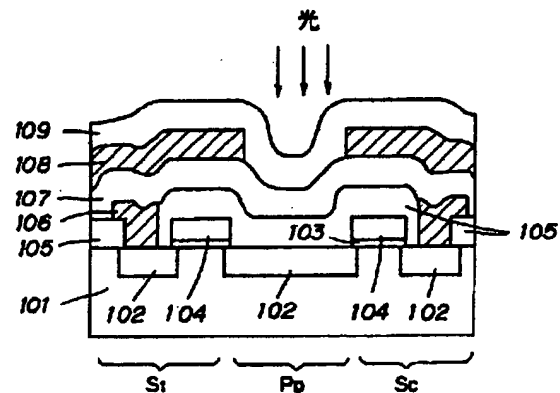
(74)代理人 弁理士 高野 明近 (外 1 名)

(54)【発明の名称】 増幅型固体撮像素子

(57)【要約】

【目的】 蓄積容量が大きいことに起因する出力特性の低下を減少させ、光感度特性を向上させる。

【構成】 光電変換部 P D は、入射光の量に応じて光電荷を発生する。P D リセットスイッチ S 1 は、P D の一方の電位と増幅素子の制御用入力端子の電位を各々任意の電位に任意期間固定するためのものである。制御部 S c は、光電変換部 P D で発生した光電荷が蓄積される光電変換部の容量部と、増幅素子の制御用入力端子に導入される光電荷が蓄積される増幅素子の容量部を、電気的に接続・分離の切換えを行う。



【特許請求の範囲】

【請求項1】 光の入射量に依存して光電荷を発生させる光電変換部を有し、該光電荷を各画素ごとに形成された増幅素子の制御用入力端子に導き、光の入射量に依存した電気信号を各画素ごとに増幅して読み出す増幅型固体撮像素子において、前記光電変換部にて発生した光電荷を蓄積する光電変換部の容量部と、増幅素子の制御用入力端子に導入される光電荷が蓄積される増幅素子の容量部と、該両容量部を電気的に接続・分離の切換えを可能とし、各画素ごとに設置された任意の制御部とから成ることを特徴とする増幅型固体撮像素子。

【請求項2】 前記増幅素子に導入された光電荷が蓄積される容量の大きさが、光電変換部にて発生した光電荷が蓄積される容量の大きさよりも小さいことを特徴とする請求項1記載の増幅型固体撮像素子。

【請求項3】 前記各画素ごとに設置された制御部の他に、増幅素子の制御用入力端子の電位を任意期間、任意の電位に固定することが可能な他の制御部を設けたことを特徴とする請求項1記載の増幅型固体撮像素子。

【発明の詳細な説明】

【0001】

【技術分野】本発明は、増幅型固体撮像素子に関し、より詳細には、ファクシミリ、カラー複写機、ビデオカメラ等の光情報信号を読み取るための装置や固体撮像素子に関する。

【0002】

【従来技術】従来の増幅型固体撮像素子は、光電変換部にて得られた光情報信号を同一画素内で増幅し、垂直及び水平走査スイッチ回路を介して読み出すXYアドレス型エリアイメージセンサである。図17に従来技術の内部増幅型固体撮像素子（以後、従来素子と称す）の1画素の構造を示す。図18にその等価回路を示す。図中、501はP型単結晶シリコン基板、502は（n+）領域（n+はn形半導体領域の濃度の高い部分を表記したもの）、503はシリコン酸化膜、504第1アルミニウム膜、505は低抵抗ポリシリコン膜、506は層間絶縁膜、507は第2アルミニウム膜である。

【0003】従来素子の1画素は、光電変換部としての（n+）PファットダイオードPDと、PDのリセット用スイッチTrsと増幅素子Taと垂直選択スイッチTyの3個のnチャネルMOS電界効果型トランジスタより

$$C_{ST} = C_{PD} + C_G + r_s C_{G-D} + r_s C_{D-SUB} \quad \cdots (1)$$

したがって、フォトダイオード両端の電位変化 ΔV_p は、入射光量に比例して以下の（2）式ようになる。

$$\begin{aligned} \Delta V_p &= Q_p / C_{ST} \\ &= Q_p / (C_{PD} + C_G + r_s C_{G-D} + r_s C_{D-SUB}) \quad \cdots (2) \end{aligned}$$

したがって、増幅素子Taのゲート電位 V_G は（3）式

$$\begin{aligned} V_G &= V_p \\ &= V_{RS} - \Delta V_p \\ &= V_{RS} - Q_p / (C_{PD} + C_G + r_s C_{G-D} + r_s C_{D-SUB}) \quad \cdots (3) \end{aligned}$$

読み出し回路の利得をAv、しきい値電圧を V_T とする

構成される。水平走査スイッチTxは垂直信号ライン毎に設けられている。前記従来素子は、原理的には、PDを逆バイアス状態として光の入射量に依存して発生した光電荷を、PDの容量部 C_{PD} 及び増幅素子Taの容量部 C_G 等に蓄積して、Taの制御用入力端子であるゲート電極の電位を変化させ、光情報に合わせた光電気信号を電流増幅して読み出すものであり、基本動作は以下に示すようになる。

【0004】リセット期間において、光電変換部PDの一方の電位 V_p は、Trsを導通状態にすることにより初期値 V_{rs} （正電位）に設定される。蓄積期間において、Trsを不導通状態（オフ状態）にすることにより、 V_p は電位的に浮いた状態（以後フローティングと称す）となる。この時、光の照射によりPDで励起された電子・正孔対のうち、電子が C_{PD} 及び C_G 等に蓄積され、正孔は基板に流出する。したがって、 V_p の電位は入射光量に応じて減少する。 V_p は増幅素子Taの制御用入力端子であるゲート電極と常に電気的に接続されているので、 V_p の電位とTaのゲート電極の電位 V_G は常に同電位となる。 V_p が減少したことにより V_G も同時に減少し、PDの V_p に応じた増幅された電流をTy及びTxを介して読み出すことが出来る。前述した従来素子は、暗状態（光がPDに入射しない状態）で最大の電流が流れ、入射光量が増えるにつれて V_G が低下し、出力電流が減少するネガ型の特性を示したが、光電変換部や増幅素子の種類、信号出力回路の方式によっては、増幅素子の制御用入力端子の電位が上昇し、出力電流が増加する従来素子もある。

【0005】前記従来素子において、固体撮像素子として要求される重要な特性として光電変換特性があり、その特性値は以下の計算より算出される。入射光量に依存して光電変換された光電荷量 Q_p が蓄積される全蓄積容量 C_{ST} は、フォトダイオードPDの静電容量 C_{PD} 及び増幅素子Taのゲート容量 C_G 及びリセット用スイッチTrsのゲート・ドレイン間容量 $r_s C_{G-D}$ 、ドレイン・基板間容量 $r_s C_{D-SUB}$ の総和として主に表すことが出来る。上記各容量の中で、 $r_s C_{G-D}$ 、 $r_s C_{D-SUB}$ は零であることが期待される寄生的な容量である。上記より、 C_{ST} は以下の（1）式で表すことが出来る。

【0006】

は、入射光量に比例して以下の（2）式ようになる。

と、増幅後の出力電圧 V_G は、（4）式ようになる。

$$V_s = A_v (V_G - V_T) \\ = A_v (V_{RS} - Q_p / (C_{PD} + C_G + r_s C_{G-D} + r_s C_{D-SUB}) - V_T) \dots (4)$$

又、増幅後の出力電流は、負荷抵抗を R_L とすると、

(5) 式ようになる。

$$I_s = V_s / R_L \\ = (A_v / R_L) (V_{RS} - Q_p / (C_{PD} + C_G + r_s C_{G-D} + r_s C_{D-SUB}) - V_T) \dots (5)$$

【0007】前記(4)式及び(5)式より、入射した光の増減に依存した出力電圧の変化量 ΔV_s 及び出力電流の変化量 ΔI_s は、全蓄積容量 C_{ST} が大きさに強く依存し、 C_{ST} が大きい程、 $\Delta V_s \cdot \Delta I_s$ が小さくなる事が分かる。従来素子において、全蓄積容量はフォトダイオードの静電容量及び増幅素子のゲート容量及び寄生的容量の総和となるため必然的に大きな値となり、増幅後の出力値の変化量 $\Delta V_s \cdot \Delta I_s$ が小さくなり、光感度特性が低下する欠点を有している。

【0008】固体撮像素子の多画素化・高速化が進むにつれて、1画素に入射する光量が減少し、光電変換された電荷量 Q_p も減少する。反面、高階調性が要求され、大きな出力特性、すなわち高い光感度特性が期待されている。従来素子において、全蓄積容量が大きいことに原因して、光感度特性が悪くなることは固体撮像素子の多画素化・高速化・高階調性において大きな問題となる。

【0009】

【目的】本発明は、上述のごとき実情に鑑みなされたもので、蓄積容量が大きいことに起因する出力特性の低下を減少させ、光感度特性を向上させるようにした増幅型固体撮像素子を提供することを目的としてなされたものである。

【0010】

【構成】本発明は、上記目的を達成するために、(1)光の入射量に依存して光電荷を発生させる光電変換部を有し、該光電荷を各画素ごとに形成された増幅素子の制御用入力端子に導き、光の入射量に依存した電気信号を各画素ごとに増幅して読み出す増幅型固体撮像素子において、前記光電変換部にて発生した光電荷を蓄積する光電変換部の容量部と、増幅素子の制御用入力端子に導入される光電荷が蓄積される増幅素子の容量部と、該両容量部を電気的に接続・分離の切換えを可能とし、各画素ごとに設置された任意の制御部とから成ること、更には、(2)前記増幅素子に導入された光電荷が蓄積される容量の大きさが、光電変換部にて発生した光電荷が蓄積される容量の大きさよりも小さいこと、更には、

(3)前記各画素ごとに設置された制御部の他に、増幅素子の制御用入力端子の電位を任意期間、任意の電位に固定することが可能な他の制御部を設けたことを特徴としたものである。以下、本発明の実施例に基づいて説明する。

【0011】図1は、本発明による増幅型固体撮像素子の一実施例を説明するための構成図で、図中、101は半導体基板、102は高不純物濃度領域、103はゲート酸化膜、104はゲート電極、105は層間絶縁膜、

106は金属電極、107は第2層間絶縁膜、108は第2金属電極、109は保護膜である。本発明は、増幅型固体撮像素子の光入力回路すなわち光電変換部にて発生した光電荷が増幅素子の制御用入力端子に導かれるまでの構造に関するものであり、特に増幅素子以降の信号出力回路の方式には依存しない。したがって、増幅素子以降の信号出力回路が電流検出方式又は電圧検出方式又は電荷検出方式を採用していても全ての方式に適用が可能である。以下に、本発明の増幅型固体撮像素子の構成・構造・等価回路を光入力回路に関してのみ説明する。

【0012】半導体基板101は、シリコン等による半導体基板を表し、硼素や燐等の不純物元素の意図的な混入によりp型又はn型の半導体特性を示す。高不純物濃度領域102は、特に前記不純物元素を多量に混入させた箇所では電気抵抗が低く、S1又はScのソース電極やドレイン電極を構成している。又、PD部では、前記不純物濃度領域102は光電変換部位であるpn接合の一端を担っている。ゲート酸化膜103はS1又はScのゲート酸化膜を示す。ゲート電極104はS1又はScのゲート電極を示し、通常polySiもしくはシリサイドもしくはアルミニウム等が用いられる。ゲート電極104はS1又はScの制御用入力端子の役目を果たしている。層間絶縁膜105はSiO₂等により構成される層間絶縁膜であり、S1又はScのソース電極、ゲート電極、ドレイン電極をそれぞれ絶縁するために設置されている。金属電極106はアルミニウム等の金属により形成される電極を表し、S1のソース電極及びScのドレイン電極を形成している。第2層間絶縁膜107は、任意の箇所の遮光の役目をする第2金属電極108と、金属電極106の絶縁をするための第2層間絶縁膜である。保護膜109は素子の高温高湿環境等での信頼性を確保し、外的要因による素子の破壊を防止するための保護膜であり、通常シリコン酸化膜やシリコン窒化膜が用いられる。

【0013】図2は、図1に示した構造の増幅型固体撮像素子の光入力回路の等価回路である。PDは入射した光の量に応じて光電荷が発生する光電変換部位を表し、S1はPDの一方の電位 V_p 及び増幅素子の制御用入力端子の電位 V_g をそれぞれ任意の電位に任意期間固定するためのPDリセットスイッチである。Scは、本発明の特徴となる制御部である。Scは、光電変換部にて発生した光電荷が蓄積される光電変換部の容量部と、増幅素子の制御用入力端子に導入される光電荷が蓄積される増幅素子の容量部を、電気的に接続・分離の切換えを行うために設けられている。 V_g は増幅素子の制御用入力

端子の電位を表し、PDへの光の入射量に依存して発生し、光電変換部の容量部に蓄積された光電荷が、S_cの制御により増幅素子の制御用入力端子に導かれ増幅素子の容量部に蓄積されると、V_Gの電位は変化し、V_Gの変化分に合わせた出力電圧又は出力電流が信号増幅されて、増幅素子以降の信号検出回路より検出される。φ₁、φ₂はそれぞれS₁、S_cの制御用入力端子を表し、PDのもう一方の電位GNDは常に接地されている。

【0014】図3(a)～(d)は、請求項1に記載の本発明の固体撮像素子の動作時のタイミングチャートを示す図である。動作は、リセット動作・第1蓄積動作・第2蓄積動作・読み出し動作に大きく分けられるが、読み出し動作は信号出力回路の方式に従う。各時間t₁、t₂、t₃、t₄における、光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部の空間電位図(以後ポテンシャル図と称す)を図4(a)～(e)に示す。本発明の固体撮像素子は、特に光入力回路に特徴を有しているため、リセット動作・第1蓄積動作・第2蓄積動作について、本発明の固体撮像素子の特徴を図2～図4(a)～(e)を用いて以下に説明する。

【0015】リセット動作のt₁の期間において、φ₁とφ₂を同時に、それぞれV_{φ1}(1)、V_{φ2}(1)の電位に設定することにより、光電変換部PDの一方の電位V_p及び増幅素子の制御用入力端子の電位V_Gが初期値V_{rs}(1)に設定される。次に、φ₁をV_{φ1}(1)に設定したままでφ₂をV_{φ2}(3)の電位に設定する。すると、S_cが不導通状態になり、V_GはV

$$C_{ST}(1) = C_{PD+S1}C_{C-D+S1}C_{D-SUB} + S_C C_{G-S} \quad \dots (6)$$

で表される。上記C_{ST}(1)に蓄積される電荷量はQ₁とすると、V_pの電位の変化量ΔV_pは、

$$\begin{aligned} \Delta V_p &= Q_1 / C_{ST}(1) \\ &= Q_1 / (C_{PD+S1}C_{C-D+S1}C_{D-SUB} + S_C C_{G-S}) \quad \dots (7) \end{aligned}$$

となる。

【0018】前記光電荷蓄積容量C_{ST}(1)に蓄積されていた光電荷はS_cの制御により増幅素子の光電荷蓄積容量C_{ST}(2)に転送される。この時、光電荷が蓄積される容量C_{ST}(2)は、S_cのゲート・ドレイン間容量

$$C_{ST}(2) = S_C C_{G-D} + S_C C_{D-SUB} + C_G + C_{BG-SUB} \quad \dots (8)$$

で表される。上記C_{ST}(2)に蓄積された電荷量はQ₁と等しいので、増幅素子の制御用入力端子の電位の変化

$$\begin{aligned} \Delta V_G &= Q_1 / C_{ST}(2) \\ &= Q_1 / (S_C C_{G-D} + S_C C_{D-SUB} + C_G + C_{BG-SUB}) \quad \dots (9) \end{aligned}$$

となる。

【0019】又、請求項2に記載の増幅型固体撮像素子では、上記、C_{ST}(1)に比べ、C_{ST}(2)を小さくすることを特徴としている。請求項2に記載の増幅型固体撮像素子において、C_{ST}(1)に比べ、C_{ST}(2)を小さくするためには、増幅素子のゲート容量及びバックゲート・基板間容量等を小さくする構成にすることが効果的である。例えば、増幅素子として表面電界効果型トラ

ns(1)に固定されフローティング状態となる。次に、リセット動作のt₂の期間において、V_{rs}をV_{rs}(1)とは異なる電位V_{rs}(2)に設定することにより、V_pはV_{rs}(2)に固定される。

【0016】t₃で示した第1蓄積動作において、φ₁の電位をV_{φ1}(2)として、S₁を不導通状態とすることにより、V_pはフローティング状態となる。この時、逆バイアス状態のPDに光が入射することにより、光の入射量に合わせて光電荷Q₁が発生し、電子と正孔のどちらか一方の電荷が光電変換部の容量部C_{ST}(1)に蓄積される。それにより、V_pの電位はQ₁とC_{ST}(1)に依存したΔV_pだけ変化する。t₄で示した第2蓄積動作において、φ₂の電位をV_{φ2}(2)とすることにより、S_cのポテンシャル障壁が任意の値だけ減少し、C_{ST}(1)に蓄積されていた光電荷が増幅素子の光電荷蓄積容量部C_{ST}(2)に移動し蓄積される。それにより、増幅素子の制御用入力端子の電位V_Gは、Q₁とC_{ST}(2)に依存したΔV_Gだけ変化する。V_Gの電位の変化に応じて、信号出力回路より光情報に依存した電気信号が増幅されて検出される。

【0017】すなわち、請求項1に記載の本発明の固体撮像素子において、光電変換部PDにて入射した光の量に依存して発生した光電荷が一時的に蓄積される容量C_{ST}(1)は、PDの容量C_{PD}及びS₁のゲート・ドレイン間容量S₁C_{C-D}、ドレイン・基板間容量S₁C_{D-SUB}及びS_cのゲート・ソース間容量S_CC_{G-S}の総和と考えることが出来、

S_CC_{G-D}、ドレイン・基板間容量S_CC_{D-SUB}及び増幅素子のゲート容量C_Gの総和と考えることができる。なお、増幅素子に接合型電界効果トランジスタやバイポーラトランジスタ等を用いた場合、さらにバックゲート・基板間容量C_{BG-SUB}が付加される。

量ΔV_Gは、

ンジスタ(一般にMOSトランジスタと呼ばれている)を用いることにより該容量を小さくすることは可能になる。表面電界効果型トランジスタのゲート容量はその素子寸法に依存し、素子を小さく形成することにより、任意に小さくすることが可能であるからである。又、増幅素子として、接合型電界効果トランジスタやバイポーラトランジスタを用いた場合、バックゲート・基板間容量やコレクター・基板間容量等が表面電界効果型トランジス

タに比べて増えることが予想されるが、バックゲートー基板間又はコレクターー基板間の電位差を調整することにより該容量を小さくすることが可能になる。

【0020】すなわち、PD部にて発生する光電荷量が一定の場合、 C_{ST} が小さい程光感度特性が良くなる。請

$$\begin{aligned}\Delta V_C / \Delta V_P &= \{Q_1 / C_{ST}(2)\} \times \{Q_1 / C_{ST}(1)\} \\ &= C_{ST}(1) / C_{ST}(2) \quad \dots (10)\end{aligned}$$

【0021】次に、請求項3に記載の本発明の増幅型固体撮像素子の構成及び動作を以下に説明する。図5は、請求項3に記載の増幅型固体撮像素子の1画素の光入力回路部の構造を示す図である。図中、201は半導体基板、202は高不純物濃度領域、203はゲート酸化膜、204はゲート電極、205は層間絶縁膜、206は金属電極、207は第2層間絶縁膜、208は第2金属電極、209は保護膜である。

【0022】半導体基板201はシリコン等による半導体基板を表し、硼素や燐等の不純物元素の意図的な混入によりp型又はn型の半導体特性を示す。高不純物濃度領域202は特に前記不純物元素を多量に混入させた箇所であって電気抵抗が低く、S1又は S_{C1} 又は S_{C2} のソース電極やドレイン電極を構成している。又、PD部では同202は光電変換部であるpn接合の一端を担っている。ゲート酸化膜203はS1又は S_{C1} 又は S_{C2} のゲート酸化膜を示す。ゲート電極204はS1又は S_{C1} 又は S_{C2} のゲート電極を示し、通常polysiliconもしくはシリサイドもしくはアルミニウム等が用いられる。ゲート電極204はS1又は S_{C1} 又は S_{C2} の制御用入力端子の役目を果たしている。層間絶縁膜205は SiO_2 等により構成される層間絶縁膜であり、S1又は S_{C1} 又は S_{C2} のソース電極、ゲート電極、ドレイン電極をそれぞれ絶縁するために設置されている。金属電極206はアルミニウム等の金属により形成される電極を表し、S1のソース電極及び S_{C1} のドレイン電極及び S_{C2} のソース電極、ドレイン電極を形成している。第2層間絶縁膜207は、任意の箇所の遮光の役目をする第2金属電極208と、金属電極206の絶縁をするための第2層間絶縁膜である。保護膜209は素子の高温高湿環境等での信頼性を確保し、外的要因による素子の破壊を防止するための保護膜であり、通常シリコン酸化膜やシリコン窒化膜が用いられる。

【0023】図6は、図5に示した構造の増幅型固体撮像素子の光入力回路の等価回路を示す図である。PDは入射した光の量に応じて光電荷が発生する光電変換部を表し、S1はPDの一方の電位 V_P を任意の電位 V_{rs} に任意期間固定するためのPDリセットスイッチである。 S_{C1} 及び S_{C2} は、請求項3に記載の本発明の特徴となる制御部である。 S_{C1} は、光電変換部にて発生した光電荷が蓄積される光電変換部の容量部と、増幅素子の制御用入力端子に導入される光電荷が蓄積される増幅素子の容量部を、電気的に接続・分離の切換えを行うために

求項2に記載の増幅型固体撮像素子では、 $C_{ST}(2) < C_{ST}(1)$ なので、次式(10)から ΔV_C の値が ΔV_P より大きくなり、請求項1の増幅型固体撮像素子に比べても、さらに光感度特性は大きくなる。

設けられている。 S_{C2} は、増幅素子の制御用入力端子の電位 V_G を任意期間、任意の電位 V_{rs2} に固定するために設けられている。 V_G は該増幅素子の制御用入力端子の電位を表し、PDへの光の入射量に依存して発生し光電変換部の容量部に蓄積された光電荷が、 S_{C1} 及び S_{C2} の制御により増幅素子の制御用入力端子に導かれ増幅素子の容量部に蓄積されると、 V_G の電位は変化し、 V_G の変化分に合わせた出力電圧又は出力電流が信号増幅されて、増幅素子以降の信号検出回路より検出される。 ϕ_1 、 ϕ_2 、 ϕ_3 はそれぞれS1、 S_{C1} 、 S_{C2} の制御用入力端子を表し、PDのもう一方の電位GNDは常に接地されている。

【0024】図7(a)～(d)は、請求項3に記載の本発明の固体撮像素子の動作時のタイミングチャートを示す図である。動作は、リセット動作・第1蓄積動作・第2蓄積動作・読み出し動作に大きく分けられるが、読み出し動作は信号出力回路の方式に従う。各時間 t_1 、 t_2 、 t_3 における光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部のポテンシャル図を図8(a)～(d)に示す。本発明の固体撮像素子は、特に光入力回路に特徴を有しているため、リセット動作・第1蓄積動作・第2蓄積動作について、本発明の固体撮像素子の特徴を図6～図8(a)～(d)を用いて以下に説明する。

【0025】リセット動作の t_1 の期間において、 ϕ_1 と ϕ_2 及び ϕ_3 を同時に、それぞれ $V_{\phi_1}(2)$ 、 $V_{\phi_2}(2)$ 、 $V_{\phi_3}(1)$ の電位に設定することにより、光電変換部PDの一方の電位 V_P が初期値 V_{rs1} に、増幅素子の制御用入力端子の電位 V_G が初期値 V_{rs} に固定される。次に、 t_2 で示した第1蓄積動作において、 ϕ_1 と ϕ_3 の電位を同時に、それぞれ $V_{\phi_1}(2)$ 、 $V_{\phi_3}(2)$ として、S1、 S_{C2} を不導通状態とすることにより、 V_P 及び V_G はそれぞれフローティング状態となる。この時、逆バイアス状態のPDに光が入射することにより、光の入射量に合わせて光電荷 Q_1 が発生し、電子と正孔のどちらか一方の電荷が光電変換部の容量部 $C_{ST}(1)$ に蓄積される。それにより、 V_P の電位は Q_1 と $C_{ST}(1)$ に依存した ΔV_P だけ変化する。 t_3 で示した第2蓄積動作において、 ϕ_2 の電位を $V_{\phi_2}(1)$ とすることにより、 S_{C1} のポテンシャル障壁が任意の値だけ減少し、 $C_{ST}(1)$ に蓄積されていた光電荷が増幅素子の光電荷蓄積容量部 $C_{ST}(2)$ に移動し蓄積される。それにより、増幅素子の制御用入力端子の

電位 V_G は、 Q_1 と $C_{ST}(2)$ に依存した ΔV_G だけ変化する。 V_G の電位の変化に応じて、信号出力回路より光情報に依存した電気信号が増幅されて検出される。

【0026】すなわち、請求項3に記載の本発明の固体撮像素子において、光電変換部PDにて入射した光の量

$$C_{ST}(1) = C_{PD} + S_1 C_{G-D} + S_1 C_{D-SUB} + S_{C1} C_{C-S} \quad \dots (11)$$

で表される。上記 $C_{ST}(1)$ に蓄積される電荷量を Q_1

$$\begin{aligned} \Delta V_P &= Q_1 / C_{ST}(1) \\ &= Q_1 / (C_{PD} + S_1 C_{G-D} + S_1 C_{D-SUB} + S_{C1} C_{C-S}) \quad \dots (12) \end{aligned}$$

となる。

【0027】前記光電荷蓄積容量 $C_{ST}(1)$ に蓄積されていた光電荷は S_{C1} の制御により増幅素子の光電荷蓄積容量 $C_{ST}(2)$ に転送される。この時、光電荷が蓄積される容量 $C_{ST}(2)$ は、 S_{C1} のゲート・ドレイン間容量 $S_{C1} C_{G-D}$ 、ドレイン・基板間容量 $S_1 C_{D-SUB}$ 及び S_{C2} の

$$\begin{aligned} C_{ST}(2) &= S_{C1} C_{G-D} + S_{C1} C_{D-SUB} + S_{C2} C_{G-D} + S_{C2} C_{D-SUB} \\ &\quad + C_G + C_{BG-SUB} \quad \dots (13) \end{aligned}$$

で表される。上記 $C_{ST}(2)$ に蓄積された電荷量は Q_1 と等しいので、増幅素子の制御用入力端子の電位の変化

$$\begin{aligned} \Delta V_G &= Q_1 / C_{ST}(2) \\ &= Q_1 / (S_{C1} C_{G-D} + S_{C1} C_{D-SUB} + S_{C2} C_{G-D} + S_{C2} C_{D-SUB} \\ &\quad + C_G + C_{BG-SUB}) \quad \dots (14) \end{aligned}$$

となる。

【0028】次に、請求項1及び請求項2に記載の本発明の増幅型固体撮像素子の実施例として、実施例1を示す。

〈実施例1〉実施例1の増幅型固体撮像素子は増幅された光情報信号を垂直及び水平走査スイッチ回路を介して読み出すXYアドレス型のエリアイメージセンサであり、信号検出方式は電流検出である。図9は、実施例1の増幅固体撮像素子の1画素の構造を示す図で、図中、301は半導体基板、302は(P+)領域、303はゲート酸化膜、304はゲート電極、305は層間絶縁膜、306は金属電極、307は第2層間絶縁膜、308は第2金属電極、309は保護膜である。

【0029】半導体基板301は、n型シリコンによる半導体基板を表す。(P+)領域302は、特に硼素を不純物元素としてイオン注入法により多量に混入させた箇所であって電気抵抗が低くなっている。 S_1 及び S_C 及び信号出力回路の増幅素子Amp及び S_2 のソース電極やドレイン電極を構成している。又、PD部では、前記(P+)領域302は光電変換部であるpn接合の一端を担っている。ゲート酸化膜303は S_1 及び S_C 及びAmp及び S_2 のゲート酸化膜を示す。ゲート電極304は S_1 及び S_C 及びAmp及び S_2 のゲート電極を示し、燐が高濃度に混入されたpoly Siが用いられている。ゲート電極304は S_1 、 S_C 、Amp、 S_2 の制御用入力端子の役目を果たしている。層間絶縁膜305は SiO_2 の層間絶縁膜であり、 S_1 及び S_C 及びAmp及び S_2 のソース電極、ゲート電極、ドレイン電極を

に依存して発生した光電荷が一時的に蓄積される容量 $C_{ST}(1)$ は、PDの容量 C_{PD} 及び S_1 のゲート・ドレイン間容量 $S_1 C_{G-D}$ 、ドレイン・基板間容量 $S_1 C_{D-SUB}$ 及び S_{C1} のゲート・ソース間容量 $S_{C1} C_{C-S}$ の総和と考えることが出来る、

すると、 V_P の電位の変化量 ΔV_P は、

ゲート・ドレイン間容量 $S_{C2} C_{G-D}$ 、ドレイン・基板間容量 $S_2 C_{D-SUB}$ 及び増幅素子のゲート容量 C_G の総和と考えることができる。なお、増幅素子に接合型電界効果トランジスタやバイポーラトランジスタ等を用いた場合、さらにバックゲート・基板間容量 C_{BG-SUB} が付加される。

量 ΔV_G は、

それぞれ絶縁するために設置されている。金属電極306はアルミニウムにより形成された電極を表し、 S_1 のソース電極及び S_C のドレイン電極及びAmpのドレイン電極及び S_2 のドレイン電極を形成している。第2層間絶縁膜307は、任意の箇所の遮光の役目をするアルミニウム第2金属電極308と、金属電極306の絶縁をするための第2層間絶縁膜である。保護膜309は素子の高温高湿環境等で信頼性を確保し、外的要因による素子の破壊を防止するための保護膜であり、シリコン窒化膜を用いた。

【0030】図10は、実施例1の増幅型固体撮像素子の電気的な等価回路を示す図である。点線内で示した箇所がエリアイメージセンサの1画素に相当する。図9及び図10図において、PDは半導体基板のn領域と302の(P+)領域を用いたpn接合により形成されている。 S_1 、 S_2 、 S_3 、 S_C 、AmpはそれぞれpチャネルMOSトランジスタにより形成されている。 S_1 はPDのリセットスイッチの役目を果たし、 S_2 は読み出す画素の行を選択する役目を持っている。 S_3 は選択されたn行の中で読み出す画素を順次切り換える役目を持っている。 S_C は本発明の特徴である制御部を表し、Ampは光情報信号を増幅して読み出すための増幅素子である。 S_2 は垂直走査回路により選択され、 S_3 は水平走査回路により選択される方式を用いた。 V_H はともに5Vの電圧を示し、PDの一方の電位と増幅素子Ampのソース電位を与えている。

【0031】図11(a)～(d)は、実施例1の固体撮像素子の動作時のタイミングチャートを1画素に注目

して示した図である。図12 (a) ~ (d) は、図11に記載した各時間 t_1 , t_2 , t_3 , t_4 における光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部のポテンシャル図を示す。リセット動作の t_1 の期間において、 V_{rs} を0Vに設定しておき、 ϕ_1 と ϕ_2 を同時にそれぞれ0Vの電位に設定することにより、PDの一方の電位 V_p 及び Amp の制御用入力端子の電位 V_g が0Vにリセットされる。次に、 ϕ_1 を0Vに設定したままで ϕ_2 を5Vの電位に設定する。すると、 S_c が不導通状態になり、 V_g は0Vに固定され、フローティング状態となる。次に、リセット動作の t_2 の期間において、 V_{rs} を2Vに設定することにより、 V_p は2Vに固定される。

【0032】 t_3 で示した第1蓄積動作の期間において、 ϕ_1 の電位は5Vになっていて、 S_1 は不導通状態であり、 V_p は一時間に2Vに固定されたフローティング状態となっている。この時、逆バイアス状態のPDに光が入射することにより、光の入射量に合わせて光電荷 Q が発生し、正孔の電荷が光電変換部の容量部 $C_{ST}(1)$ に蓄積される。それにより、 V_p の電位は Q_1 と $C_{ST}(1)$ に依存した ΔV_p だけ変化する。 t_4 で示した第2蓄積動作の期間において、 ϕ_2 の電位を任意の

電位 $V_{\phi_2}(2)$ とすることにより、 S_c のポテンシャル障壁が2Vに減少し、 $C_{ST}(1)$ に蓄積されていた光電荷が増幅素子の光電荷蓄積容量部 $C_{ST}(2)$ に移動し蓄積される。それにより、増幅素子の制御用入力端子の電位 V_g は、 Q_1 と $C_{ST}(2)$ に依存した ΔV_g だけ変化する。

【0033】読み出し動作の期間において、垂直走査回路により選択された読み出す行の各画素の S_2 をすべて導通状態にする。その間に S_3 を画素ごとに順次導通状態すると、読み出す行の各画素を順次読み取ることが可能になる。この時、 V_{OUT} に流れる電流は、各画素の Amp の制御用入力端子の電位 V_g の変化分 ΔV_g に依存して値が変化する。すなわち、PDの光情報信号が電流増幅されて順次出力されることになる。なお、出力電流は最終的には、抵抗 R_L に流され電圧として出力される。実施例1に示した本発明の固体撮像素子は、暗状態で、最大の電流が流れ、入射光量が増えるにつれて出力電流が減少するネガ型の特性を示す。

【0034】次に、実施例1と従来技術の光感度特性の違いを以下の表1に示す。

【0035】

【表1】

実施例1と従来技術の光感度特性の違い

	従来技術		実施例1	
Q	1.2×10^{-14}	C	1.2×10^{-14}	C
C_{ST}	4.2×10^{-14}	fF	1.2×10^{-14}	fF
ΔV_p	0.286	V	0.324	V
ΔV_g	0.286	V	1.000	V
光感度特性	5.72	V/lx·sec	20.0	V/lx·sec

【0036】なお、表1には、1画素当たりに入射する最大露光量が1001x、1画素当たりの光蓄積時間が0.5ミリ秒の時に発生する光電荷量 Q 及び1画素当たりの光電荷蓄積容量 C_{ST} 及び V_p の変化量 ΔV_p 及び V_g の変化量も合わせて示した。表1において、従来技術の光電荷蓄積容量は、PD容量値30fFと Amp のゲート容量値5fFと S_1 のゲート・ドレイン間容量2fFと S_1 のドレイン・基板間容量5fFの加算されたものである。又、実施例1の光電荷蓄積容量は、 Amp のゲート容量値5fFと S_c のゲート・ドレイン間容量2fFと S_c のドレイン・基板間容量5fFを加算されたものである。なお、 Amp としてMOSトランジスタを用いたので、接合型電界効果トランジスタやバイポーラトランジスタとは異なり、基板とバックゲート又はコレクタとの接合容量は当然無視できた。表1より、実施例1を用いることにより、光感度特性が3.5倍向上しているのが分かる。

【0037】次に、請求項3に記載の本発明の増幅型固体撮像素子の実施例として、実施例2を示す。

（実施例2）実施例2の増幅型固体撮像素子は実施例1の光入力回路を請求項3の特徴を有するものに変更したもので、信号検出方式、各層構成などは実施例1と同じである。図13は、実施例2の増幅型固体撮像素子の1画素の構造を示す図で、図14はその等価回路を、図15 (a) ~ (e) は、動作時のタイミングチャートを1画素に注目して示した図である。図中、401はn型シリコン基板、402は(P+)領域、403はゲート酸化膜、404はゲート電極、405は層間絶縁膜、406は金属電極、407は第2層間絶縁膜、408は第2金属電極、409は保護膜である。

【0038】PDは半導体基板のn領域との(P+)領域402を用いたpn接合により形成されている。 S_1 , S_2 , S_3 , S_{c1} , S_{c2} , Amp はそれぞれpチャネルMOSトランジスタにより形成されている。実施例

1と同様、S1はPDのリセットスイッチの役目を果たし、S2は読み出す画素の行を選択する役目を持っている。S3は選択されたn行の中で読み出す画素を順次切り換える役目を持っている。S_{C1}、S_{C2}は本発明の特徴である制御部を表し、Ampは光情報信号を増幅して読み出すための増幅素子である。S2は垂直走査回路により選択され、S3は水平走査回路により選択される方式を用いた。V_Hはともに5Vの電圧を示し、PDの一方の電位と増幅素子Ampのソース電位を与えている。V_{rs}は常に2Vの電位に設定されている。φ1、φ2、φ3、φ4、φ5はそれぞれS1、S_{C1}、S_{C2}、S2、S3の制御用入力端子の電位を示している。

【0039】図16(a)～(c)は、図15のタイミングチャートの各動作時間t₁、t₂、t₃における、光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部のポテンシャル図を示す。リセット動作のt₁の期間において、φ1及びφ2及びφ3を同時に、それぞれ0V、5V、0Vの電位に設定することにより、PDの一方の電位V_pが初期値2Vに、Ampの制御用入力端子の電位V_Gが初期値0Vにリセットされる。次に、t₂

で示した第1蓄積動作において、φ1とφ3の電位を同時に、それぞれ5Vとして、S1、S_{C2}を不導通状態とすることにより、V_p及びV_Gはそれぞれフローティング状態となる。この時、逆バイアス状態のPDに光が入射することにより、光の入射量に合わせて光電荷Qが発生し、正孔の電荷が光電変換部位の容量部C_{ST}(1)に蓄積される。それにより、V_pの電位はQ1とC_{ST}(1)に依存したΔV_pだけ変化する。t₃で示した第2蓄積動作において、φ2の電位をV_{φ2}(1)とすることにより、S_{C1}のポテンシャル障壁が任意の値だけ減少し、C_{ST}(1)に蓄積されていた光電荷が増幅素子の光電荷蓄積容量部C_{ST}(2)に移動し蓄積される。それにより、増幅素子の制御用入力端子の電位V_Gは、Q1とC_{ST}(2)に依存したΔV_Gだけ変化する。読み出し動作に関しては、実施例1と同様なので省略する。

【0040】次に、実施例2と従来技術の光感度特性の違いを表2に示す。

【0041】

【表2】

実施例2と従来技術の光感度特性の違い

	従来技術	実施例1
Q	1.2×10 ⁻¹⁴ C	1.2×10 ⁻¹⁴ C
C _{ST}	4.2×10 ⁻¹⁴ fF	1.7×10 ⁻¹⁴ fF
ΔV _p	0.286 V	0.324 V
ΔV _G	0.286 V	0.706 V
光感度特性	5.72 V/lx・sec	14.1 V/lx・sec

【0042】なお、表2には、1画素当たりに入射する最大露光量が1001x、1画素当たりの光蓄積時間が0.5ミリ秒の時に発生する光電荷量Q及び1画素当たりの光電荷蓄積容量C_{ST}及びV_pの変化量V_Gの変化量も合わせて示した。表2において、従来技術の光電荷蓄積容量は、実施例1と同様、42fFである。又、実施例2の光電荷蓄積容量は、Ampのゲート容量値5fFとS_{C1}のゲート・ドレイン間容量2fFとS_{C1}のドレイン・基板間容量5fFとS_{C2}のゲート・ソース間容量5fFを加算されたものである。表2より、実施例2を用いることにより、従来技術に比べて光感度特性が2.5倍向上しているのが分かる。

【0043】

【効果】以上の説明から明らかなように、本発明によると、以下のような効果がある。

(1) 請求項1に対応する効果：一般に、C_{PD}及びC_Gは、s₁C_{C-D}又s₁C_{D-SUB}又はs_CC_{G-S}又はs_CC_{C-D}又はs_CC_{D-SUB}に比べ1～2桁大きな値を示し、蓄積容量の大部分を占める。まれに、増幅素子に接合型電界効果トラ

ンジスタやバイポーラトランジスタを用いた場合に生じるC_{BG-SUB}の蓄積容量に占める割合が増えることがある。従来素子のように、PD部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部が常に導通している場合、蓄積容量部の容量の大きさは、常にC_{PD}とC_Gを含むので大きな値を示し、増幅素子の制御用入力端子の電位の変化量ΔV_Gは小さな値になってしまう。それに対し、本発明の請求項1に記載の増幅型固体撮像素子では、PD部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部が電気的に分離することが可能なので、光電荷蓄積容量はC_{PD}を含まない。それにより、増幅素子に於ける光電荷蓄積容量は少なくともC_{PD}分の容量だけは小さくなり、従来素子に比べΔV_Gが大きな値を示すことが可能になる。光の入射量に依存しているV_Gの変化分ΔV_Gが大きな値を示すということは、それだけ光感度特性が向上したことになる、本発明の利点である。

(2) 請求項2に対応する効果：PD部にて発生する光電荷量が一定の場合、C_{ST}が小さい程光感度特性が良くなる。請求項2に記載の増幅型固体撮像素子では、C_{ST}

(2) C_{ST} (1) なので、 ΔV_G の値が ΔV_P より大きくなり、請求項1の増幅型固体撮像素子に比べても、さらに光感度特性は大きくなる。

(3) 請求項3に対応する効果：一般に、 C_{PD} 及び C_G は他の容量に比べ、1～2桁大きな値を示し、蓄積容量の大部分を占める。まれに、増幅素子に接合型電界効果トランジスタやバイポーラトランジスタを用いた場合に生じる C_{DG-SUB} の蓄積容量に占める割合が増えることがある。従来素子のように、PD部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部が常に導通している場合、蓄積容量部の容量の大きさは、常に C_{PD} と C_G を含むので大きな値を示し、増幅素子の制御用入力端子の電位の変化量 ΔV_G は小さな値になってしまう。それに対し、本発明の請求項3に記載の増幅型固体撮像素子では、PD部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部が電気的に分離することが可能なので、光電荷蓄積容量は C_{PD} を含まない。それにより、増幅素子に於ける光電荷蓄積容量は少なくとも C_{PD} 分の容量だけは小さくなり、従来素子に比べ ΔV_G が大きな値を示すことが可能になる。光の入射量に依存しての V_G の変化分 ΔV_G が大きな値を示すということは、それだけ光感度特性が向上したことになり、本発明の利点である。さらに、請求項3に記載の増幅型固体撮像素子に於いて、 V_P 及び V_G のリセット用の電位として、それぞれ定電位 V_{rs1} 、 V_{rs2} を用いることが出来る。請求項1に記載の増幅型固体撮像素子に於いては、リセット用電位として、周期的に変化する V_{rs} を用いなければならなかったが、定電位を用いることが可能になり、比較して制御が容易になる。

【図面の簡単な説明】

【図1】 本発明による増幅型固体撮像素子の一実施例を示す1画素の光入力回路部の構造を示す図である。

【図2】 本発明の増幅型固体撮像素子の1画素の光入力回路部の等価回路を示す図である。

【図3】 本発明の増幅型固体撮像素子の動作時のタイミングチャートを示す図である。

【図4】 本発明の増幅型固体撮像素子の動作時の、光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積

量部の空間電位を示す図である。

【図5】 本発明の増幅型固体撮像素子の他の実施例の1画素の光入力回路部の構造を示す図である。

【図6】 本発明の増幅型固体撮像素子の他の実施例の1画素の光入力回路部の等価回路を示す図である。

【図7】 本発明の増幅型固体撮像素子の他の実施例の動作時のタイミングチャートを示す図である。

【図8】 本発明の増幅型固体撮像素子の他の実施例の動作時の、光電変換部位の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部の空間電位図を示す図である。

【図9】 本発明の増幅型固体撮像素子の1画素の光入力回路部の構造を示す図である。

【図10】 本発明の増幅型固体撮像素子の具体的実施例1画素の光入力回路部の等価回路を示す図である。

【図11】 図10の増幅型固体撮像素子の動作時のタイミングチャートを示す図である。

【図12】 図10の本発明の増幅型固体撮像素子の動作時の、光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部の空間電位図を示す図である。

【図13】 本発明の増幅型固体撮像素子の他の具体的実施例1画素の光入力回路部の構造を示す図である。

【図14】 図13の本発明の増幅型固体撮像素子の1画素の光入力回路部の等価回路を示す図である。

【図15】 図13の本発明の増幅型固体撮像素子の動作時のタイミングチャートを示す図である。

【図16】 図13の本発明の増幅型固体撮像素子の動作時の、光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部の空間電位を示す図である。

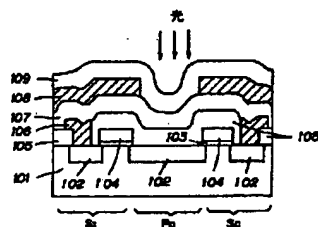
【図17】 従来の増幅型固体撮像素子の1画素の構造を示す図である。

【図18】 従来の増幅型固体撮像素子の1画素の等価回路を示す図である。

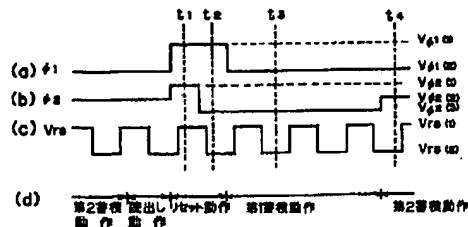
【符号の説明】

101…半導体基板、102…高不純物濃度領域、103…ゲート酸化膜、104…ゲート電極、105…層間絶縁膜、106…金属電極、107…第2層間絶縁膜、108…第2金属電極、109…保護膜。

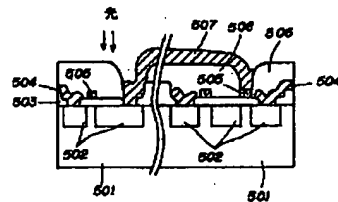
【図1】



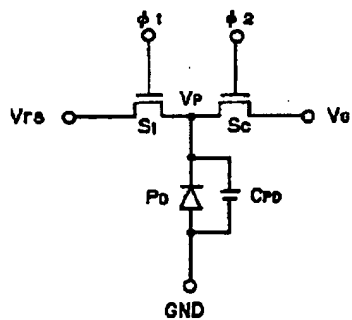
【図3】



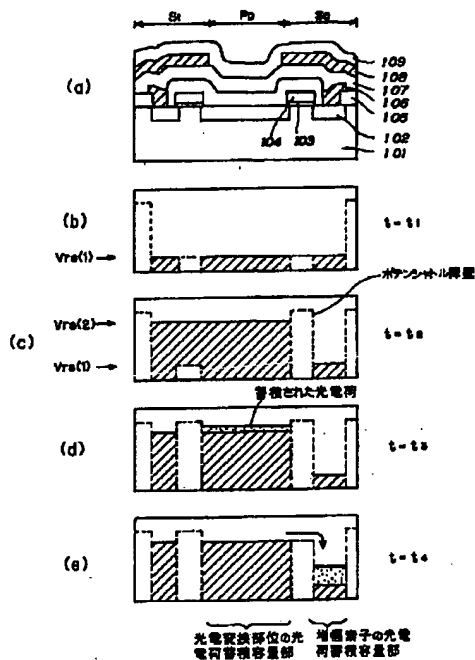
【図17】



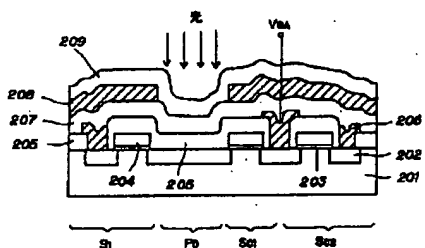
【図2】



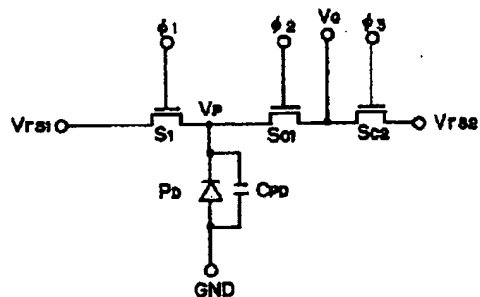
【図4】



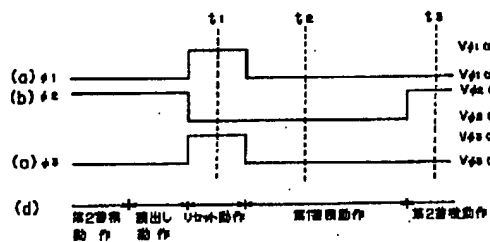
【図5】



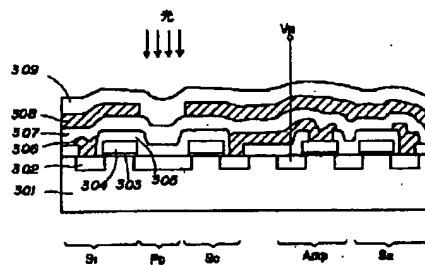
【図6】



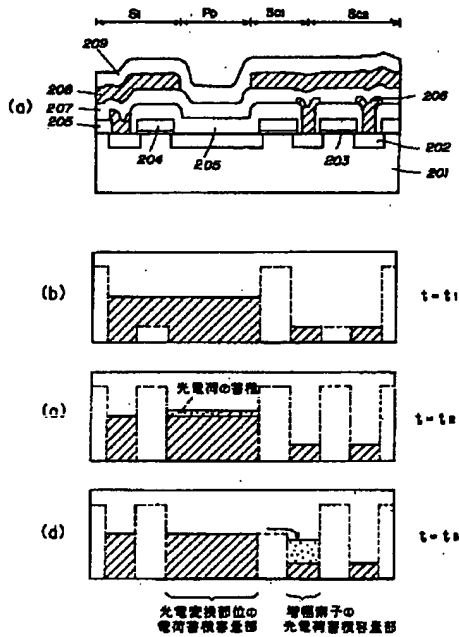
【図7】



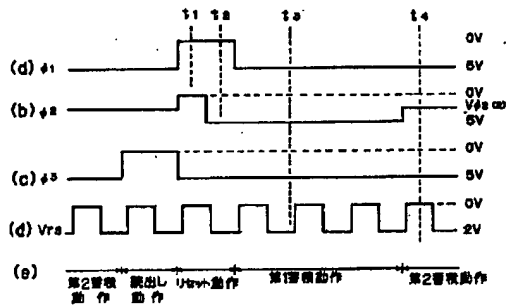
【図9】



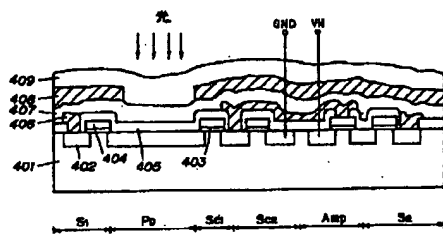
【図8】



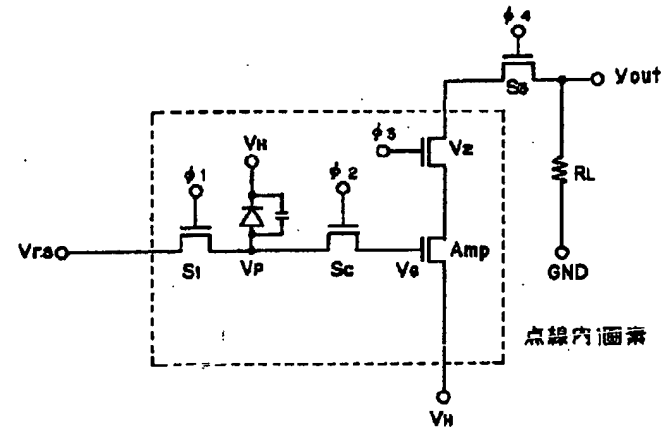
【図11】



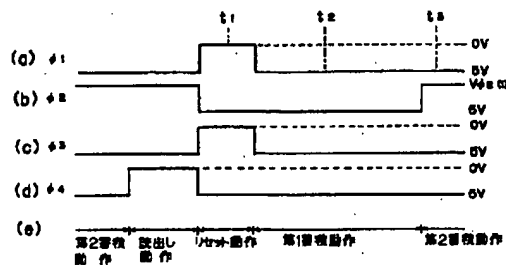
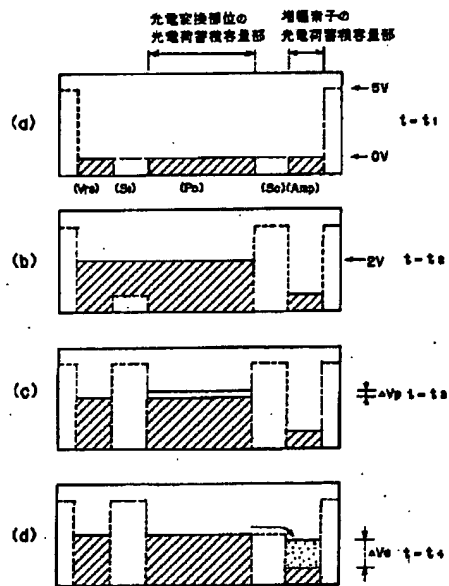
【図13】



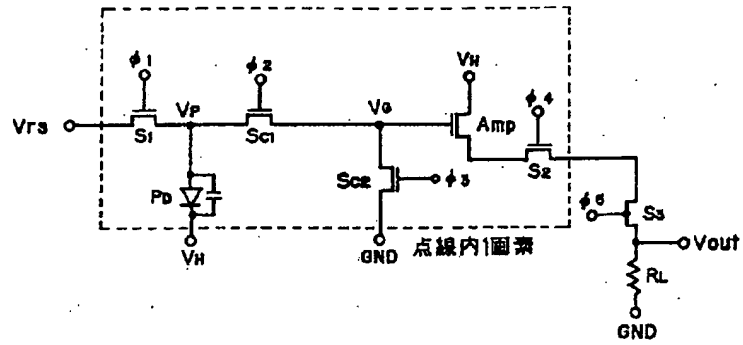
【図15】



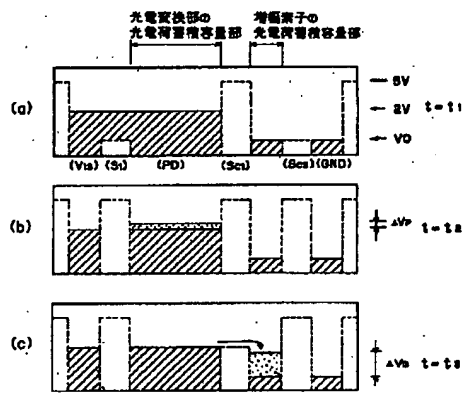
【図12】



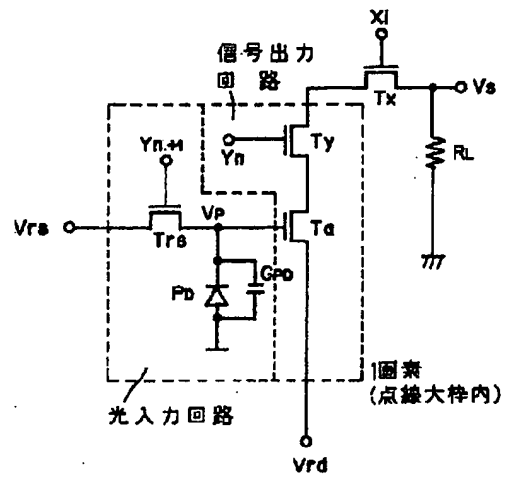
【図14】



【図16】



【図18】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.